

Zuverlässigkeit und Entwurf

Heutige integrierte Systeme können hunderte Millionen von Transistoren enthalten, bestehen aus digitalen und analogen Komponenten unterschiedlicher Technologien und eröffnen völlig neue Anwendungsfelder. Eingebettete Systeme, Ein-Chip-Systeme, Multiprozessoren und Netzwerke auf einem Chip gehen über die Steuerung von Geräten und Anlagen, Fahrzeugen und Verkehrssystemen weit hinaus und stellen häufig besonders hohe Anforderungen an die Zuverlässigkeit. Dem steht gegenüber, dass bei weiter sinkenden Strukturgrößen in der Mikroelektronik die gefertigten elementaren Komponenten wie Transistoren und Leitungen über einen sehr großen Parameterbereich variieren werden. Mit Systemarchitekturen, die davon abhängen, dass sämtliche Komponenten fehlerfrei funktionieren, werden sich künftig keine wirtschaftlichen Ausbeuten erzielen lassen.

Es besteht dringender Bedarf an innovativen Verfahren, um die Ausbeute und die Zuverlässigkeit von mikro- und nanoelektronischen Systemen durch Fehlertoleranz und integrierte Reparaturmechanismen zu gewährleisten und ihre Qualität durch entsprechende Entwurfs-, Verifikations- und Testverfahren sicher zu stellen. Diese Verfahren müssen sowohl Fertigungsfehler und Parameterschwankungen als auch Störungen während des Betriebs kompensieren können.

In Zusammenarbeit mit der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) laden wir Sie herzlich dazu ein, Beiträge zum Themengebiet *Zuverlässigkeit und Entwurf* einzureichen.

Themenbereiche

Entwurfsmethodik

- Robuster Entwurf
- Synthesis for Reliability and Yield

Eingebettete Systeme

- Systemzuverlässigkeit beim Hardware/Software Co-Entwurf
- Verfügbarkeit

Mikroelektronik in der Automobiltechnik

- Ausfallanalysen und neue Fehlermodelle
- Konzeption von Architekturen unter Zuverlässigkeitsaspekten

Analoge Schaltungen

- RF
- Störsicherheit

Verifikation digitaler Systeme

- Korrektheit
- Nachweis von Fehlertoleranz und Zuverlässigkeitseigenschaften

Beschreibungssprachen und Modellierung

- Modellierung von Fehlertoleranz und Zuverlässigkeit

Testmethoden und Diagnose

- Defekt- und Fehleranalyse
- Test, Diagnose und Fehlertoleranz

Layoutentwurf

- Design for Manufacturability and Yield
- Constraint-geführter Entwurf

Einreichung von Beiträgen

Es sind Teilbeiträge von ca. 20 Minuten Dauer mit anschließender Diskussion sowie Poster vorgesehen. Die angenommenen Beiträge werden in einem zitierfähigen Tagungsband mit CD-ROM zusammengefasst.

Die Fachtagung ist auf Deutsch, es sind jedoch Beiträge und Vorträge auf Englisch willkommen. Beiträge von bis zu 8 Seiten, sind elektronisch als pdf Dateien einzureichen unter:

www.ZuE2008.de

Bei Beiträgen in Deutsch muss zusätzlich ein Abstrakt in englischer Sprache enthalten sein.

Es wird ein **Best Paper Award** vergeben.

Termine

28. März 2008
Einreichung der Beiträge

30. Mai 2008
Benachrichtigung der Autoren

Tagungsort

AUDI AG
Konferenz Center
85045 Ingolstadt

Programmkomitee

W. Anheier	Universität Bremen
H.-J. Brand	AMD Saxony LLC & Co. KG
M. Brandstetter	Robert Bosch GmbH
R. Brück	Universität Siegen
K. Buchenrieder	Universität BW
M. Dietrich	FhG IIS/EAS Dresden
F. Dietz	Atmel Germany GmbH
S. Eichenberger	NXP Semiconductors Germany GmbH
R. Ernst	TU Braunschweig
M. Fischer	Verigy Germany GmbH
G. Georgakos	Infineon Technologies AG
W. Glauert	Universität Erlangen-Nürnberg
M. Goldbach	LTX Deutschland GmbH
H. Gräß	TU München
C. Grimm	TU Wien
Th. Harriehausen	FH Braunschweig/Wolfenbüttel
T. Hötzel	ZMD AG
W. John	FhG IZM Paderborn
J. Kelber	Fachhochschule Schmalkalden
W. Kunz	TU Kaiserslautern
J. Lienig	TU Dresden
B. Michel	FhG IZM Berlin
W. Nebel	OFFIS e.V.
F. Oppenheimer	OFFIS e.V.
R. Pferdenges	Infineon Technologies AG
F. Pfost	Infineon Technologies AG
F. Pöhl	Infineon Technologies AG
I. Polian	Universität Freiburg
M. Porrmann	Heinz-Nixdorf-Institut, Paderborn
M. Radetzki	Universität Stuttgart
F. Rammig	Universität Paderborn
M. Reuter	Mentor Graphics GmbH
A. Ripp	MunEDA GmbH
J. Rivoir	Verigy Germany GmbH
F. Rößler	Melexis GmbH
J. Scheible	Robert Bosch GmbH
U. Schlichtmann	TU München
K. Schneider	Universität Kaiserslautern
V. Schöber	edacentrum Hannover
P. Schwarz	FhG-IIS / EAS Dresden
Ch. Sebeke	Robert Bosch GmbH
R. Sommer	TU Ilmenau
M. Stadler	Teradyne GmbH
A. Steininger	TU Wien
B. Straube	FhG-IIS / EAS Dresden
J. Teich	Universität Erlangen-Nürnberg
R. Vahrman	Atmel Germany GmbH
H. Vierhaus	BTU Cottbus
R. Wagner	Robert Bosch GmbH
T. Winkovich	Siemens AG
B. Wittig	Volkswagen AG

Zuverlässigkeit und Entwurf 29. September – 1. Oktober 2008 AUDI AG, Ingolstadt

Tagungsleitung

Sebastian Sattler, Infineon Technologies AG

Vorsitzender des Programmkomitees

Hans-Joachim Wunderlich, Universität Stuttgart

Organisationskomitee

Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Rolf Drechsler	Universität Bremen
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt
Sybille Hellebrand	Universität Paderborn
Andreas Herkersdorf	TU München
Sorin Huss	TU Darmstadt
Olaf Mende	Audi AG
Volker Schanz	ITG im VDE
Jürgen Schlöffel	NXP Semiconductors Germany GmbH
Ronald Schnabel	VDE/VDI-GMM
Norbert Wehn	Universität Kaiserslautern

Informationen zur Tagung

VDE/VDI-Gesellschaft Mikroelektronik, Mikro-
und Feinwerktechnik (GMM)
Stresemannallee 15, 60596 Frankfurt am Main
Tel. +49 (0)69-6308 - 227/330
Fax +49 (0)69-6308 - 9828
E-Mail: gmm@vde.com
www.ZuE2008.de

GMM VDE/VDI-GESELLSCHAFT
MIKROELEKTRONIK,
MIKRO- UND FEINWERKTECHNIK

ITG INFORMATIONSTECHNISCHE
GESELLSCHAFT IM VDE



CALL FOR PAPERS

Zuverlässigkeit und Entwurf

2. GMM / GI / ITG-Fachtagung

29. September – 1. Oktober 2008
AUDI AG, Ingolstadt

www.ZuE2008.de

